

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS25 U.S. PTO

09/412512



10/05/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

#4
Priority
Paper
3/22/00

出 願 年 月 日

Date of Application:

1998年10月13日

出 願 番 号

Application Number:

平成10年特許願第290802号

出 願 人

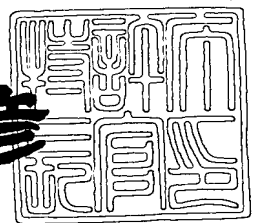
Applicant(s):

株式会社半導体エネルギー研究所

1999年 9月17日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3063926

【書類名】 特許願

【整理番号】 P004009-01

【提出日】 平成10年10月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に、活性層と、ゲート絶縁膜と、ゲート配線とを有する半導体素子からなる半導体回路を備えた半導体装置であって、
前記活性層は、スパッタ法により形成された半導体膜からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 2】

絶縁表面上にスパッタ法により形成された活性層と、
前記活性層に接するゲート絶縁膜と、
前記ゲート絶縁膜に接するゲート配線とを有し、
前記活性層は、少なくともチャネル形成領域と、前記チャネル形成領域の両側に形成されたソース領域及びドレイン領域とからなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 3】

絶縁表面上にゲート配線と、
前記ゲート配線に接するゲート絶縁膜と、
前記ゲート絶縁膜に接してスパッタ法により形成された活性層とを有し、
前記活性層は、少なくともチャネル形成領域と、前記チャネル形成領域の両側に形成されたソース領域及びドレイン領域とからなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記スパッタ法はシリコンまたはシリコンを主成分とする材料をターゲットとし、RF 電力により半導体膜を形成することを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記ゲート絶縁膜は、窒化珪素膜、酸

化窒化珪素膜、酸化珪素膜から選ばれた単層膜、またはそれらの積層膜であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 6】

請求項 5 において、前記ゲート絶縁膜は、スパッタ法により形成されたことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、少なくとも前記ソース領域及び前記ドレイン領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 8】

請求項 7 において、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Au から選ばれた少なくとも 1 つの元素、または複数の元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 9】

請求項 7 において、前記触媒元素は、Ge、Pb から選ばれた少なくとも 1 つの元素、または複数の元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一において、前記半導体回路とは、マイクロプロセッサ、信号処理回路または高周波回路であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 11】

請求項 10 において、前記半導体装置は電気光学装置または電子機器であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 12】

請求項 11 において、前記電気光学装置とは液晶表示装置、EL 表示装置、EC 表示装置またはイメージセンサであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 13】

請求項 11 において、前記電子機器とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 14】

絶縁表面上にスパッタ法により半導体膜を形成する工程と、
前記半導体膜を結晶化して結晶性半導体膜を形成する工程と、
を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 15】

絶縁表面上にスパッタ法により半導体膜を形成する工程と、
前記半導体膜の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、
前記半導体膜を結晶化して結晶性半導体膜を形成する工程と、
を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 16】

絶縁表面上にスパッタ法により半導体膜を形成する工程と、
前記半導体膜の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、
前記半導体膜を結晶化して結晶性半導体膜を形成する工程と、
前記結晶性半導体膜中の触媒元素の濃度を低減する工程と、
を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。特に、絶縁表面上に結晶性半導体膜を形成する技術に関する。本発明の半導体装置は、薄膜トランジスタ（TFT）やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トラン

ジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】

絶縁性を有する基板上に形成された薄膜トランジスタ（TFT）により画素マトリクス回路および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは0.5～20インチ程度のものまで表示ディスプレイとして利用されている。

【0003】

現在、高精細な表示が可能な液晶ディスプレイを実現するために、ポリシリコン膜で代表される結晶性半導体膜を活性層とするTFTが注目されている。

【0004】

結晶性半導体膜は、アモルファスシリコン膜で代表される非晶質半導体膜を形成した後、結晶化させることによって形成する。一般的には非晶質半導体膜の形成には化学気相成長法（CVD法）が用いられている。

【0005】

従来では、良好な膜質を有する非晶質珪素膜を堆積できる減圧CVD法や、スループットよく低温で非晶質珪素膜を堆積できるプラズマCVD法による形成方法がよく用いられている。

【0006】

減圧CVD法においては、非晶質半導体膜の形成速度が遅く、生産性の観点からは不利であった。

【0007】

また、プラズマCVD法においては、RFパワーを十分に投入して高価な反応ガス（モノシラン、ジシラン等）を分解して非晶質半導体膜の形成を行うが、その際、非晶質半導体膜以外に重合反応からなる多量の黄色い粉が発生する。この粉は超微粒であり、大気にふれると粉体爆発を起こすことが知られている。

【0008】

従って、プラズマCVD法を用いたプロセスを実施するには、爆発の危険性が高いため、作業環境の安全性の観点からは不利であった。

【0009】

【発明が解決しようとする課題】

本発明は、低温で成膜でき、生産性の優れたスパッタ法を用いて非晶質半導体膜を形成することにより、安全性の高いプロセスを提供することを目的とする。

【0010】

加えて、スパッタ法を用いて非晶質半導体膜を結晶化させて得られた結晶性半導体膜を活性層とし、高い電気特性を有する半導体素子からなる半導体回路を備えた半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を解決するため、本発明はスパッタ法により半導体膜を形成し、次いで結晶化を行い、結晶性半導体膜を形成することを特徴としている。また、スパッタ法により下地膜またはゲート絶縁膜を形成することを特徴としている。この様な構成により安全な作業環境のプロセスで良好なTFTの電気特性を実現する。

【0012】

本明細書で開示する発明の第1の構成は、絶縁表面上に、活性層と、ゲート絶縁膜と、ゲート配線とを有する半導体素子からなる半導体回路を備えた半導体装置であって、前記活性層は、スパッタ法により形成された半導体膜からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0013】

また、本明細書で開示する発明の第2の構成は、絶縁表面上にスパッタ法により形成された活性層と、前記活性層に接するゲート絶縁膜と、前記ゲート絶縁膜に接するゲート配線とを有し、前記活性層は、少なくともチャネル形成領域と、前記チャネル形成領域の両側に

形成されたソース領域及びドレイン領域とからなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0014】

また、本明細書で開示する発明の第3の構成は、
絶縁表面上にゲート配線と、
前記ゲート配線に接するゲート絶縁膜と、
前記ゲート絶縁膜に接してスパッタ法により形成された活性層とを有し、
前記活性層は、少なくともチャネル形成領域と、前記チャネル形成領域の両側に形成されたソース領域及びドレイン領域とからなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0015】

上記構成において、前記スパッタ法はシリコンまたはシリコンを主成分とする材料をターゲットとし、RF電力により半導体膜を形成することを特徴としている。

【0016】

また、上記構成において、前記ゲート絶縁膜は、窒化珪素膜、酸化窒化珪素膜、酸化珪素膜から選ばれた単層膜、またはそれらの積層膜であることを特徴としている。また、前記ゲート絶縁膜は、スパッタ法により形成されたことを特徴としている。

【0017】

また、上記構成において、少なくとも前記ソース領域及び前記ドレイン領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴としている。また、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Au、Ge、Pbから選ばれた少なくとも1つの元素、または複数の元素である。

【0018】

なお、本明細書において「非晶質半導体膜」とは、代表的には非晶質を有する半導体膜、例えば微結晶を有する非晶質半導体膜、微結晶半導体膜等を指し、これら半導体膜は、Si膜、Ge膜、化合物半導体膜〔例えば、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) で示される非晶質シリコンゲルマニウム膜等〕からなる膜である。

【0019】

なお、本明細書において「結晶性半導体膜」とは、単結晶半導体膜、結晶粒界を含む半導体膜（多結晶半導体膜及び微結晶半導体膜を含む）を指し、全域に渡って非晶質状態である半導体膜（非晶質半導体膜）との区別を明確にしている。勿論、本明細書において「半導体膜」と記載されていれば、結晶性半導体膜以外に非晶質半導体膜も含まれることは言うまでもない。

【0020】

また、本明細書において「半導体素子」とは、スイッチング素子やメモリ素子、例えば薄膜トランジスタ（TFT）や薄膜ダイオード（TFD）等を指している。

【0021】

また、本発明の半導体装置を作製する第1の作製方法の構成は、絶縁表面上にスパッタ法により半導体膜を形成する工程と、前記半導体膜を結晶化して結晶性半導体膜を形成する工程と、を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0022】

また、本発明の半導体装置を作製する第2の作製方法の構成は、絶縁表面上にスパッタ法により半導体膜を形成する工程と、前記半導体膜の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、前記半導体膜を結晶化して結晶性半導体膜を形成する工程と、を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0023】

また、本発明の半導体装置を作製する第3の作製方法の構成は、絶縁表面上にスパッタ法により半導体膜を形成する工程と、前記半導体膜の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、前記半導体膜を結晶化して結晶性半導体膜を形成する工程と、前記結晶性半導体膜中の触媒元素の濃度を低減する工程と、

を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【0024】

【発明の実施の形態】

以下に図2 (A) ~ (C) を参照して本発明の実施形態を詳細に説明する。

【0025】

まず、基板を用意する。基板100としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、セラミック基板、ステンレス基板、金属（タンタル、タングステン、モリブデン等）基板、半導体基板、プラスチック基板（ポリエチレンテレフタレート基板）等を用いることができる。

【0026】

次いで、基板上に下地絶縁膜（以下、下地膜とする）101を形成する。この下地膜101としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_xN_y ）、またはこれらの積層膜等を100~500nmの膜厚範囲で用いることができる。下地膜の形成手段としては安全性及び生産性が高いスパッタ法を用いることが望ましいが、熱CVD法、プラズマCVD法、蒸着法、減圧熱CVD法等の形成方法を用いることもできる。この下地膜は基板からの不純物の拡散を防ぐ効果がある。なお、この下地膜は、TFTの電気特性を向上させるためであり、特に設けなくともよい。

【0027】

次いで、下地膜101上に、半導体膜102をスパッタ法により積層形成する。（図2 (A)）半導体膜102としては、非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶半導体膜、非晶質ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示される非晶質シリコンゲルマニウム膜、またはこれらの積層膜を20~70nm（代表的には40~50nm）の膜厚範囲で用いることができる。

【0028】

本発明の実施に用いられるスパッタ装置は基本的に、チャンバーと、チャンバー内を真空にする排気系と、スパッタ用のガスをチャンバーに導入するガス導入系と、ターゲットやRF電極等からなる電極系と、電極系に接続されたスパッタ

リング電源とから構成されている。

【0029】

ターゲットとしては、シリコンまたはシリコンを主成分とする材料からなるターゲットを使用する。また、シリコン膜の結晶面方位がある面（例えば、(110)面、(111)面、(110)面等）に強く配向するターゲットが好ましい。スパッタ法ではターゲットの組成比とほぼ同じ組成の薄膜が形成されるため、ターゲットの組成比を調節することで所望の組成比の薄膜を形成できるという長所を有している。更に、膜の成長速度はスパッタ電圧にほぼ比例し安定である。

【0030】

また、スパッタ用のガスとしてAr、He、Ne、N等の不活性元素から選ばれた一種または複数種からなるガスを用いる。さらに、水素ガス等を添加して半導体膜中の水素濃度を調節してもよい。

【0031】

なお、本発明においてはチャンバー内を排気系により高真空状態（ 1×10^{-4} Pa以下）として、スパッタ用ガスをチャンバー内に導入し、成膜圧力を0.2～0.6 Pa、基板の温度を100～400℃、RF電力を200～2500 W（ターゲット単位面積当たりの電力量 $1 \sim 15 \text{ W/cm}^2$ ）とすることによって半導体膜102を形成する。なお、スパッタの条件（スパッタ用のガス、ガス流量、成膜圧力、基板の温度、成膜電力等）は、ターゲットの大きさ、基板の寸法、半導体膜の膜厚、半導体膜の膜質等を考慮して実施者が適宜決定すればよい。また、RF電力に代えてDC電力を使用することも可能である。

【0032】

上記本発明のスパッタ法によれば、従来のプラズマCVD法と比較して下地膜または基板への密着性が高く、所望の膜質（膜中の水素、酸素等の不純物濃度）を有する半導体膜を形成することができる。

【0033】

次いで、半導体膜102に結晶化処理を施し、結晶性半導体膜103を形成する。（図2（B））

【0034】

本発明のスパッタ法より得られる膜を出発材料として、結晶化させて得られる膜は、従来の結晶性半導体膜とは異なる。本発明の結晶性半導体膜に柱状構造を観察することができた。

【0035】

本発明の結晶化処理としては、公知の如何なる手段、例えば、赤外光または紫外光の照射による結晶化処理（以下、レーザー結晶化と呼ぶ）、触媒元素を用いたレーザー結晶化、熱結晶化、触媒元素を用いた熱結晶化等を用いることができる。また、これらの結晶化処理を組み合わせてもよい。

【0036】

特に、レーザー結晶化は基板にかけるストレスが少なく、短時間で処理することができるため有効である。結晶化処理として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。なお、レーザーのガスとしてXeCl、ArF、KrF等を用いたパルスレーザーやArレーザー等の連続発振レーザーを用いて、そのレーザー光を線状（幅数ミリ×数十センチ）、長形状または正形状にビーム形成して照射することができる。

【0037】

なお、レーザー結晶化の条件（レーザービームの形状、レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は、半導体膜の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。また、レーザー結晶化の条件によっては、半導体膜が溶融状態を経過して結晶化する場合や、半導体膜が溶融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。ただし、大気中でレーザー結晶化を行なうと薄い酸化膜が形成されるため、後の工程で、この酸化膜を除去するほうが好ましい場合もある。また、大気にふれることなく同一チャンバー内で、スパッタ法による半導体膜の形成と、半導体膜のレーザー結晶化を行う構成としてもよい。

【0038】

また、結晶化を助長する触媒元素（ニッケル）を添加する熱結晶化については特

開平7-130652号公報、特開平9-312260号等に詳細に記載されている。結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを用いる。また、非晶質珪素膜中の拡散が置換型拡散であるGe、Pbを用いることもできる。

【0039】

ただし、触媒元素を用いたレーザー結晶化や触媒元素を用いた熱結晶化においては、半導体膜中に触媒元素が高濃度に残存するため、結晶化処理後に半導体膜中の触媒元素の濃度を低減する工程、例えばゲッタリング処理を施すことが好ましい。

【0040】

次いで、得られた結晶性半導体膜103をパターニングして所望の形状の活性層104を形成する。そして、活性層を覆って絶縁膜（後の工程によりゲート絶縁膜となる）105を形成する。（図2（C））

【0041】

絶縁膜105としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_xN_y ）、有機樹脂膜（BCB（ベンゾシクロブテン）膜等）、またはこれらの積層膜等を用いることができる。絶縁膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタ法、蒸着法、塗布法等の公知の手段を用い、10～300nmの膜厚範囲で用いることができる。

【0042】

特に、本発明においては、作業環境の安全上、半導体膜102と絶縁膜105をスパッタ法を用いて形成することが好ましい。スパッタ法を用いる場合は、ターゲットとして、酸化シリコンまたは酸化シリコンを主成分とする材料からなるターゲットを使用する。また、スパッタ用のガスとしてAr、He、Ne、N等の不活性元素から選ばれた一種または複数種からなるガスを用いる。さらに、酸素ガスを添加して膜質を調節することが好ましい。なお、スパッタの条件（スパッタ用のガス、ガス流量、成膜圧力、基板の温度、電力強度等）は、ターゲットの大きさ、基板の寸法、絶縁膜105の膜厚、絶縁膜105の膜質等を考慮して実施者が適宜決定すればよい。

【0043】

なお、上記作製工程の順序は、作製しようとする素子によって実施者が適宜変更することが可能である。例えば、ボトムゲート型TFTを作製する場合は、下地膜を作製した後、ゲート配線を形成して絶縁膜（ゲート絶縁膜）を形成し、本発明の半導体膜（スパッタ法による）を積層形成する。また、結晶性半導体膜103を形成した後、絶縁膜105を積層形成して、結晶性半導体膜103のパターニングを絶縁膜105の形成後に行う工程としてもよい。

【0044】

こうして上記作製方法により得られる活性層104または絶縁膜105を利用して、薄膜トランジスタ（TFT）やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の半導体装置に適用することができる。

【0045】

【実施例】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0046】

〔実施例1〕 本実施例では、本願発明を用いて、同一基板上に周辺駆動回路の一部を構成するCMOS回路と画素マトリクス回路部の一部を構成する画素TFTとを作製した例を説明する。以下に本発明の半導体装置およびその作製方法の簡略断面図である図1～図6を用いて簡略に説明する。

【0047】

まず、基板100を用意する。本実施例においては基板100としてガラス基板（コーニング1737；歪点667℃）を用いた。次に、基板100上に下地絶縁膜（以下、本明細書中では下地膜と称す）を形成した後、熱処理する。また、ここでの熱処理は基板の歪点以下、好ましくは200～700℃で行う。本実施例では、下地膜101として、TEOSと酸素（ O_2 ）を原料ガスに用い、プラズマCVD装置によって膜厚200nmの酸化珪素膜を成膜した後、640℃、4時間の熱処理を行った。

【0048】

次いで、下地膜 101 上に半導体膜 102 をスパッタ法により積層形成する。
 (図 2 (A)) 本実施例においては、シリコンからなるターゲット (6 φ) を使用し、スパッタ用のガスとして Ar ガス (ガス流量 20 ~ 50 sccm) を用いた。さらに、水素ガスまたは He ガスを添加 (ガス流量 1 ~ 50 sccm) して半導体膜中の水素濃度を調節してもよい。

【0049】

こうして図 2 (A) の状態が得られたら、半導体膜 102 に結晶化処理を施して結晶性珪素膜からなる結晶性半導体膜 103 を形成する。本実施例では半導体膜に対してレーザー結晶化を行った。本実施例では大気中で XeCl エキシマレーザー光を線状 (0.4 mm × 長さ 135 mm) にビーム形成して照射した。

(図 2 (B)) 本実施例ではレーザー光の照射条件として、パルス周波数を 30 Hz、オーバーラップ率を 96%、レーザーエネルギー密度を 359 mJ/cm²とした。なお、大気にさらしてレーザー結晶化を行ったため、表面に薄い酸化膜が形成されるが本実施例では簡略化のため図示しない。

【0050】

また、図 2 (B) の工程後、しきい値制御をするために不純物の添加を行ない、チャンネル形成領域となる領域に不純物を添加する工程を加えてもよい。

【0051】

次いで、得られた半導体膜 103 をパターニングして、所望の形状を有する活性層 104 を形成した。次いで、活性層を覆って、絶縁膜 (後の工程によりゲート絶縁層となる) 105 としてスパッタ法により酸化珪素膜を 150 nm の膜厚で成膜した。(図 2 (C))

【0052】

次いで、絶縁膜 105 上に導電膜 (ゲート配線形成材料層) を形成した。

【0053】

また、導電膜としては、導電性材料または半導体材料、例えば、アルミニウム (Al)、タンタル (Ta)、銅 (Cu)、ニオブ (Nb)、ハフニウム (Hf)、ジルコニウム (Zr)、チタン (Ti)、クロム (Cr)、シリコン (Si)

）、シリサイド等を主成分とする層からなる単層構造または積層構造を用いることができる。導電膜としては、10～500 nmの膜厚範囲で用いることができる。本実施例では導電膜としてアルミニウム膜を400 nmの膜厚で成膜した。

【0054】

次いで、マスク107を用いて導電膜をパターニングしてゲート配線を形成する材料層106を形成する。（図3（A））

【0055】

そして、本実施例では、ゲート配線を形成する材料層106に第1の陽極酸化を施して多孔質な陽極酸化膜108を形成した。（図3（B））さらにマスク107を除去した後、第2の陽極酸化膜を施して緻密な陽極酸化膜109を形成し、ゲート配線110を形成した。（図3（C））その後、ゲート配線110及び陽極酸化膜108、109をマスクとして、絶縁膜105をパターニングしてゲート絶縁層111を形成した。（図4（A））次いで、多孔質な陽極酸化膜108を除去した。（図4（B））また、上記陽極酸化を施さず、ゲート配線を保護するためにゲート配線を覆う絶縁膜からなる保護膜を形成する工程を加えてもよい。

【0056】

また、図4（A）において、また、絶縁膜105のパターニングを行わず、絶縁膜105を介して活性層に不純物の添加を行った後、絶縁膜105のパターニングを行う工程としてもよい。

【0057】

次いで、Nチャネル型TFTをマスク201で覆い、ゲート配線110をマスクとして、P型の導電性を付与する不純物を活性層104へ添加する。また、活性層104に選択的に所定の領域に添加するためのマスクを形成してもよい。不純物の添加は、イオン注入法、プラズマドーピング法、レーザードーピング法等の公知の手段を用いればよい。ただし、不純物イオンが活性層の所定の領域に所望の量添加されるようにドーピング条件、ドーズ量、加速電圧等を調節する。本実施例では、P型の導電性を付与する不純物としてボロン元素を用いた。上記不純物添加工程によって、高濃度不純物領域（ p^+ 型領域）112、113はソー

ス領域、ドレイン領域となり、低濃度不純物領域 (p^- 型領域) 114、115 は LDD 領域となり、116 は真性または実質的に真性なチャネル形成領域となる。(図4 (C)) この後、マスク 201 を除去した。

【0058】

次に、Pチャネル型 TFT をマスク 202 で覆い、N型の導電性を付与する不純物を活性層へ添加する。本実施例では、N型の導電性を付与する不純物としてリン元素を用いた。上記不純物添加工程によって、高濃度不純物領域 (n^+ 型領域) 117、118 はソース領域、ドレイン領域となり、低濃度不純物領域 (n^- 型領域) 119、120 は LDD 領域となる。また、リンイオン、ボロンイオンが注入されなかった領域が後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域 121 となる。(図5 (A)) この後、マスク 202 を除去した。

【0059】

なお、本明細書中で真性とは、シリコンのフェルミレベルを変化させうる不純物を一切含まない領域を指し、実質的に真性な領域とは、電子と正孔が完全に釣り合って導電性を相殺させた領域、即ち、しきい値制御が可能な濃度範囲 (SIMS 分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms / cm}^3$) で N 型または P 型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電性を相殺させた領域を示す。

【0060】

次に、ソース領域およびドレイン領域における不純物の活性化効果、またはドーピング工程で損傷した活性層の結晶構造の回復効果を得るための公知の技術、例えば熱アニールまたはレーザーアニールを行う。本実施例では、照射条件がパルス周波数 50 Hz、レーザーエネルギー密度 179 mJ/cm^2 のレーザー光を照射した後、熱活性化処理 (窒素雰囲気下、 450°C 、2 時間) を施した。

【0061】

この後、酸化窒化珪素膜、窒化珪素膜等で覆い、パッシベーション膜を形成して保護する構成としてもよい。

【0062】

次いで、第1の層間絶縁膜122を成膜し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングして、ソース領域、ドレイン領域と接触する金属配線123～127を形成する。最後に水素化処理（水素雰囲気、350℃、2時間）を行なう。（図5（B））

【0063】

こうして、Nチャネル型TFTとPチャネル型TFTが作製される。

【0064】

ついで、第2の層間絶縁膜128としてアクリル樹脂膜を膜厚1 μ mの厚さにスピコート法でもって形成する。次に、第2の層間絶縁膜128にエッチングを施し、コンタクトホールを形成した後、Tiからなる金属膜300nmを成膜した。そして、この金属膜にパターニングを施してブラックマスク131と引出し配線129、130を形成した。

【0065】

そして、第3の層間絶縁膜132をアクリル樹脂でもって形成する。本実施例では、スピコート法でもって膜厚1 μ mの第3の層間絶縁膜132を形成した。

【0066】

次にコンタクトホールの形成を行い、画素電極133を形成する。本実施例では、まずITO膜を100nmの厚さにスパッタ法でもって成膜し、これをパターニングすることにより、133で示される画素電極を形成した。最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体層中の欠陥を減少させた。こうして図1に示す状態を得る。

【0067】

図1においては、ダブルゲート構造を有する画素マトリクス部のTFTを説明に用いたが、シングルゲート構造、またはトリプルゲート構造等のマルチゲート構造にも適用できる。

【0068】

なお、図6（A）及び図6（B）は図1の上面図に相当する図であり、図6（

A)、及び図 6 (B) において、点線 X-X' で切断した部分が図 1 の画素マトリクス回路部の断面構造に相当し、点線 Y-Y' で切断した部分が図 1 の CMOS 回路部の断面構造に相当する。図 6 (A) において、310 は活性層、320 は走査線、320E はゲート配線、331 は信号線、332 はドレイン電極、341 はブラックマスク、350 は画素電極である。図 6 (B) において、410、420 は活性層、425、430 はゲート配線、441、442 はソース電極、443 はドレイン電極、451、452 はソース配線である。

【0069】

本実施例に示した TFT 構造は、トップゲート型の一例であり、特に本実施例の構造に限定されるものではない。また、本実施例では透過型 LCD を作製した例を示したが、半導体装置の一例を示したにすぎない。なお、ITO に代えて画素電極を反射性の高い金属膜で構成し、画素電極のパターニングの変更を実施者が適宜行うことによって反射型 LCD を作製することは容易にできる。また、反射型 LCD を作製する場合、下地膜として耐熱性金属膜上に絶縁膜を積層する構造または窒化アルミニウム上に絶縁膜を積層する構造を用いると、絶縁膜下の金属膜が放熱層として働き有効である。なお、上記工程順序を実施者が適宜変更することは可能である。

【0070】

〔実施例 2〕 本実施例は、実施例 1 とは異なる方法により結晶性半導体膜を得る例である。本実施例では、実施例 1 の半導体膜の形成前後に結晶化を助長する触媒元素を半導体膜全面または選択的に保持させる工程を加える。基本的な構成は実施例 1 と同様であるので、相違点のみに着目して説明する。

【0071】

本実施例は、スパッタ法により半導体膜を形成する工程までは実施例 1 と同一である。

【0072】

本実施例では、半導体膜の表面に珪素の結晶化を助長する触媒元素を導入する。珪素の結晶化を助長する触媒元素としては、Ni、Fe、Co、Pt、Cu、Au、Ge から選ばれた一種または複数種類の元素が用いられる。本実施例では

前記触媒元素の内、非晶質珪素膜中の拡散速度が早く、極めて良好な結晶性を得ることができるNiを用いた。

【0073】

また、上記触媒元素を導入する箇所としては、特に限定されないが、非晶質珪素膜の全面、またはマスクを適宜形成することにより選択的に導入する。また、触媒元素を非晶質珪素膜の裏面、または表裏両面に導入する工程としてもよい。

【0074】

また、非晶質珪素膜に触媒元素を導入する方法としては、触媒元素を非晶質珪素膜の表面に接触させ得る方法、または非晶質珪素膜の膜中に保持させ得る方法であれば特に限定されない。例えば、スパッタ法、CVD法、プラズマ処理法、吸着法、イオン注入法、または触媒元素を含有した溶液を塗布する方法を使用することができる。この内、溶液を用いる方法は簡便であり、触媒元素の濃度調整が容易であるという点で有用である。金属塩としては各種塩を用いることができ、溶媒としては水のほか、アルコール類、アルデヒド類、エーテル類、その他の有機溶媒、或いは水と有機溶媒の混合溶媒を用いることができる。本実施例では、塗布方法を用い、 $1 \sim 1000 \text{ ppm}$ 、好ましくは $10 \sim 100 \text{ ppm}$ （重量換算）の範囲のニッケルを含んだ溶液を塗布した。ただし、非晶質珪素膜の膜厚を考慮に入れて適宜添加量を調節する必要がある。このようにして得られた非晶質珪素膜における膜中のニッケル濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms / cm}^3$ となる。

【0075】

以上のようにして触媒元素を非晶質珪素膜に導入した後、レーザー光の照射により結晶化を行ない結晶性珪素膜を得る。また、レーザー光の照射に代えて高温加熱する工程を加えてもよい。また、結晶化後に膜中の触媒元素を低減させるゲッタリングを行う工程を加えてもよい。

【0076】

以降の工程は、実施例1に従えば図1で得られる半導体装置が得られる。

【0077】

〔実施例3〕 本実施例は、実施例1とは異なる方法により結晶性半導体膜を得

る例である。実施例 1 では下地膜を熱処理した後、スパッタ法で半導体膜を形成する構成としたが、本実施例では、下地膜と半導体膜とを大気にふれることなく連続形成した例を示す。

【0078】

まず、基板としてプラスチック基板を用意する。その上に、スパッタ法により窒化珪素膜からなる下地膜と、スパッタ法により非晶質珪素膜からなる半導体膜を大気にふれることなく積層形成した。こうすることによって下地膜と半導体膜との界面を清浄なものとすることができる。

【0079】

次いで、レーザー光を照射して、非晶質珪素膜からなる半導体膜を結晶化させて結晶性半導体膜を形成する。また、大気にふれることなくレーザー結晶化を行い、ゲート絶縁膜もスパッタ法により連続形成してゲート絶縁膜と半導体膜との界面を清浄なものとしてもよい。

【0080】

以降の工程は、実施例 1 に従えば図 1 で得られる半導体装置が得られる。また、実施例 2 と組み合わせることも可能である。

【0081】

〔実施例 4〕 実施例 1 ではトップゲート型 T F T を例にとって説明したが、本願発明の構成はボトムゲート型 T F T（代表的には逆スタガ型 T F T）に適用することもできる。本実施例では、実施例 1 と異なる構造の T F T（ボトムゲート型 T F T）を作製した場合の例について図 7 を用いて説明する。

【0082】

図 7（A）において、700 は基板、701 はタンタル（Ta）と窒化タンタル（Ta₂N₅）とを積層したゲート配線である。なお、図では簡略化のため、下地膜とゲート配線が積層構造であることを図示していない。

【0083】

次に陽極酸化工程を行ない、ゲート配線の表面に保護膜 702 を形成する。陽極酸化膜に代えて通常の酸化工程による酸化膜でもよい。次いで、ゲート配線の上にはゲート絶縁膜 703 が形成される。本実施例ではスパッタ法により酸化珪

素膜を形成してゲート絶縁膜としている。(図 7 (A))

【0084】

次いで、ゲート絶縁膜 703 の上には微結晶を有する非晶質珪素膜 704 をスパッタ法により形成した。

【0085】

次いで、レーザー光または加熱により結晶化を行ない、結晶性半導体膜 705 を形成した。(図 7 (B))

【0086】

次いで、レジストマスク 706 を用いて酸化珪素膜からなるマスク 707 を形成する。(図 7 (C))

【0087】

次いでレジストマスク 706 を除去した後、不純物の添加を行ない、不純物領域 708 を形成する。(図 7 (D))

【0088】

次いで、チャンネル形成領域となる領域をレジストマスク 709 で覆い、低濃度の不純物の添加を行い、低濃度不純物領域 711 と、チャンネル形成領域 712、高濃度不純物領域 710 を形成する。(図 7 (E))

【0089】

次いで、活性層のパターニングを行い、ソース領域及びドレイン領域 713、714 を形成する。(図 7 (F))

【0090】

次いで、層間絶縁膜 715 を形成し、配線 716、717 を形成する。(図 7 (G))

【0091】

なお、本実施例では単体の逆スタガ型 TFT の作製工程しか説明していないがボトムゲート型 TFT であれば限定されず、本実施例の逆スタガ型 TFT で CMOS 回路を作製したり、画素マトリクス回路を構成したりすることは実施例 1 の作製工程を参考にすれば容易であるので説明は省略する。

【0092】

【実施例5】 本実施例では、本願発明によって作製された液晶表示装置の例を図8に示す。画素TFT（画素スイッチング素子）の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0093】

図8において800は絶縁表面を有する基板（酸化シリコン膜を設けたプラスチック基板）、801は画素マトリクス回路、802は走査線駆動回路、803は信号線駆動回路、830は対向基板、810はFPC（フレキシブルプリントサーキット）、820はロジック回路である。ロジック回路820としては、D/Aコンバータ、 γ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0094】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0095】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【0096】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0097】

【実施例6】 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロ

セッサに適用しても良いし、液晶用ドライバー回路（D/Aコンバータ、 γ 補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0098】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0099】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0100】

〔実施例7〕 本願発明の電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）などが挙げられる。それらの一例を図9に示す。

【0101】

図9（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0102】

図9（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0103】

図9 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0104】

図9 (D) はゴーグルディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0105】

図9 (E) はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0106】

図9 (F) は携帯書籍 (電子書籍) であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506で構成される。本発明は表示装置2502、2503やその他の信号制御回路に適用することができる。

【0107】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0108】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。また、実施例5、実施例6に示した電気光学装置や半導体回路をその様に組み合わせて用いても良い。

【0109】

【発明の効果】

本発明によれば、非晶質半導体膜をスパッタ法によって形成するので、安全性の高い作業環境でTFTを作製することができる。また、スパッタ法によって形成するので膜質を調節し易く、所望の非晶質半導体膜を形成することができる。

【0110】

また、スパッタ法によって形成された膜は密着性が高く、安価なプラスチック基板またはガラス基板を用いようとも極めて高品質な結晶性半導体膜、密着性の良好な界面が同時に実現可能となり、本発明を利用することで高性能な半導体装置を製造することができる。

【0111】

また、TFTの代表的なパラメータである移動度 (μ_{\max}) は、Nチャネル型TFTで $50 \sim 500 \text{ cm}^2 / \text{Vs}$ ($100 \text{ cm}^2 / \text{Vs}$ 以上)、Pチャネル型TFTで $20 \sim 300 \text{ cm}^2 / \text{Vs}$ ($50 \text{ cm}^2 / \text{Vs}$ 以上) を実現できる。

【図面の簡単な説明】

- 【図1】 本願発明の構成の一例を示す図（実施例1）
- 【図2】 本願発明の作製工程一例を示す図（実施例1）
- 【図3】 本願発明の作製工程一例を示す図（実施例1）
- 【図4】 本願発明の作製工程一例を示す図（実施例1）
- 【図5】 本願発明の作製工程一例を示す図（実施例1）
- 【図6】 本願発明の構成の上面図を示す図（実施例1）
- 【図7】 本願発明の作製工程一例を示す図（実施例4）
- 【図8】 アクティブマトリクス型の表示装置（実施例5）
- 【図9】 電子機器の一例を示す図（実施例7）

【符号の説明】

100	基板
101	下地膜
102	スパッタ法による非晶質半導体膜
103	結晶性半導体膜
104	活性層
105	ゲート絶縁膜

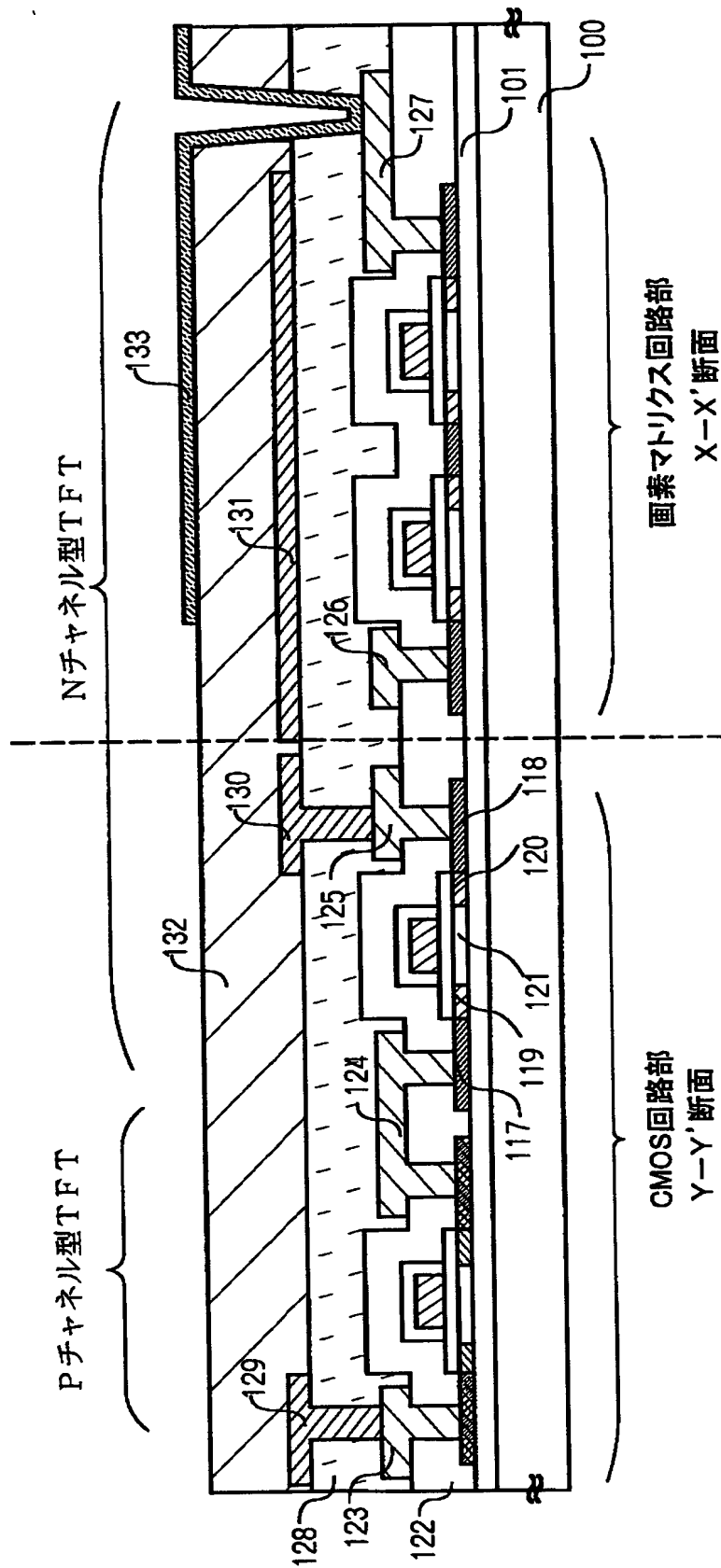
106	配線
107	マスク
108、109	陽極酸化膜
110	ゲート配線
111	ゲート絶縁膜
112、113	高濃度不純物領域 (P型)
114、115	低濃度不純物領域 (P型)
116	チャネル形成領域
117、118	高濃度不純物領域 (N型)
119、120	低濃度不純物領域 (N型)
121	チャネル形成領域
122	第1層間絶縁膜
123~127	配線
128	第2層間絶縁膜
129、130	引き出し配線
131	ブラックマスク
132	第3層間絶縁膜
133	画素電極

特平 1 0 - 2 9 0 8 0 2

【書類名】

図面

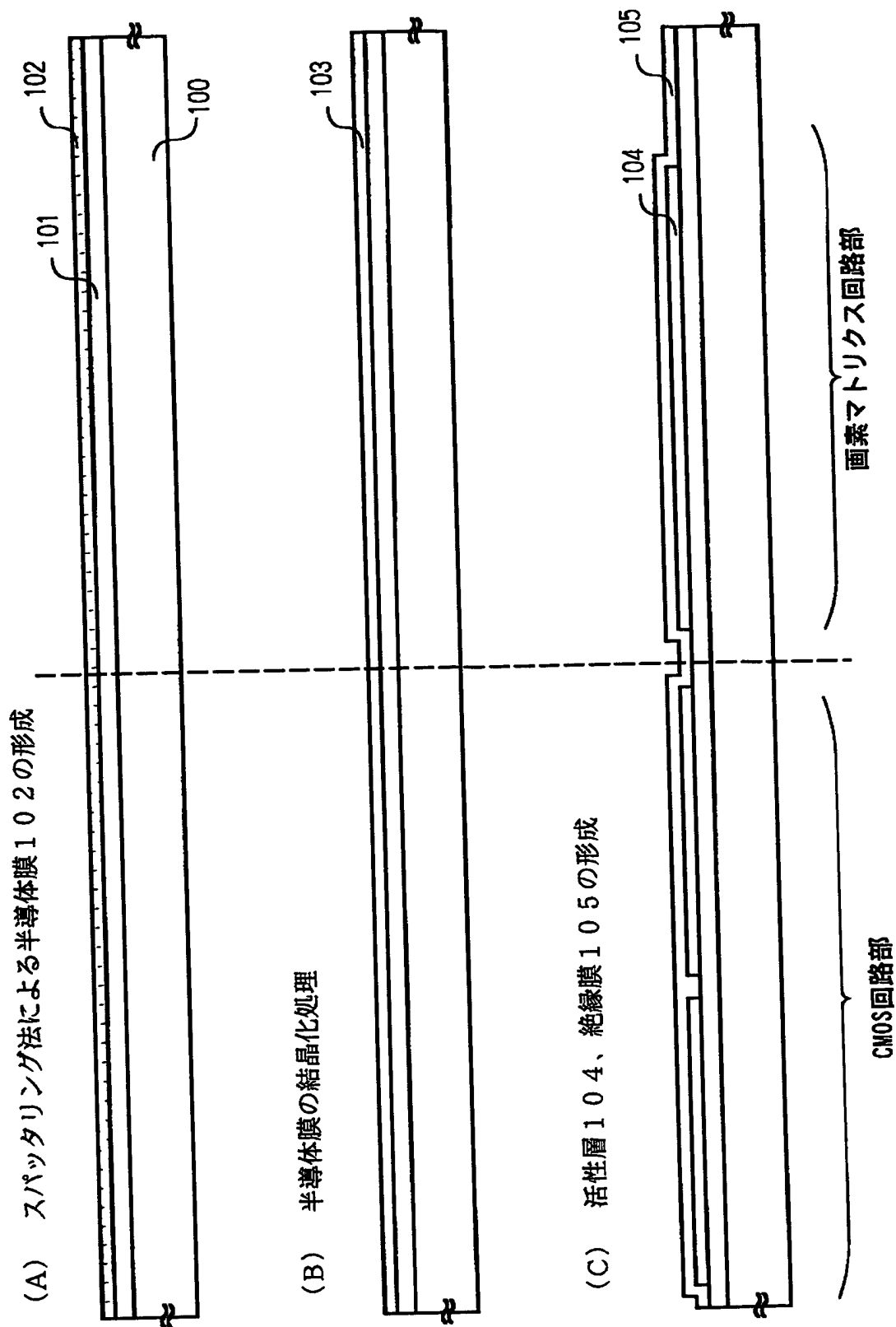
【図 1】



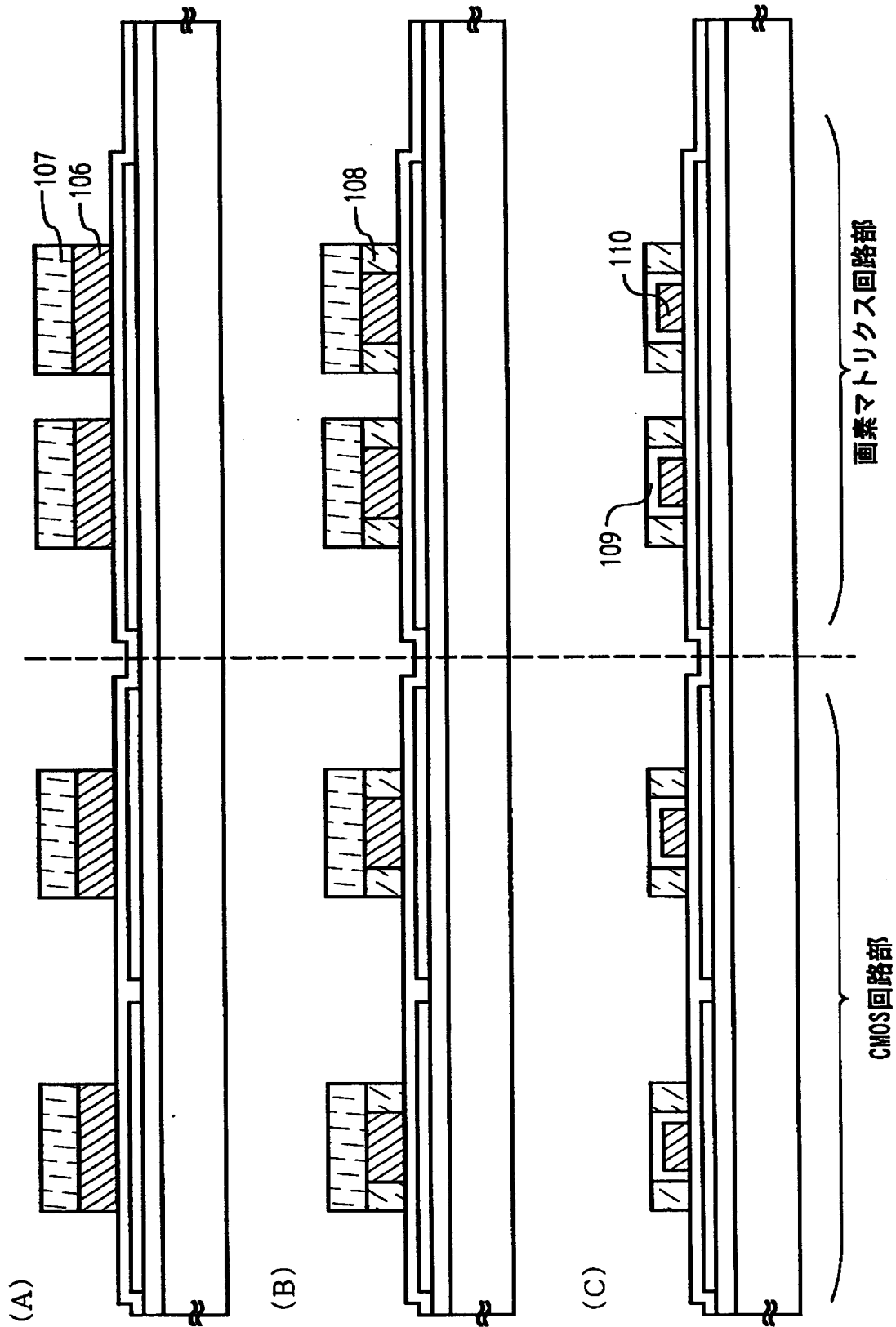
CMOS回路部
Y-Y'断面

画素マトリクス回路部
X-X'断面

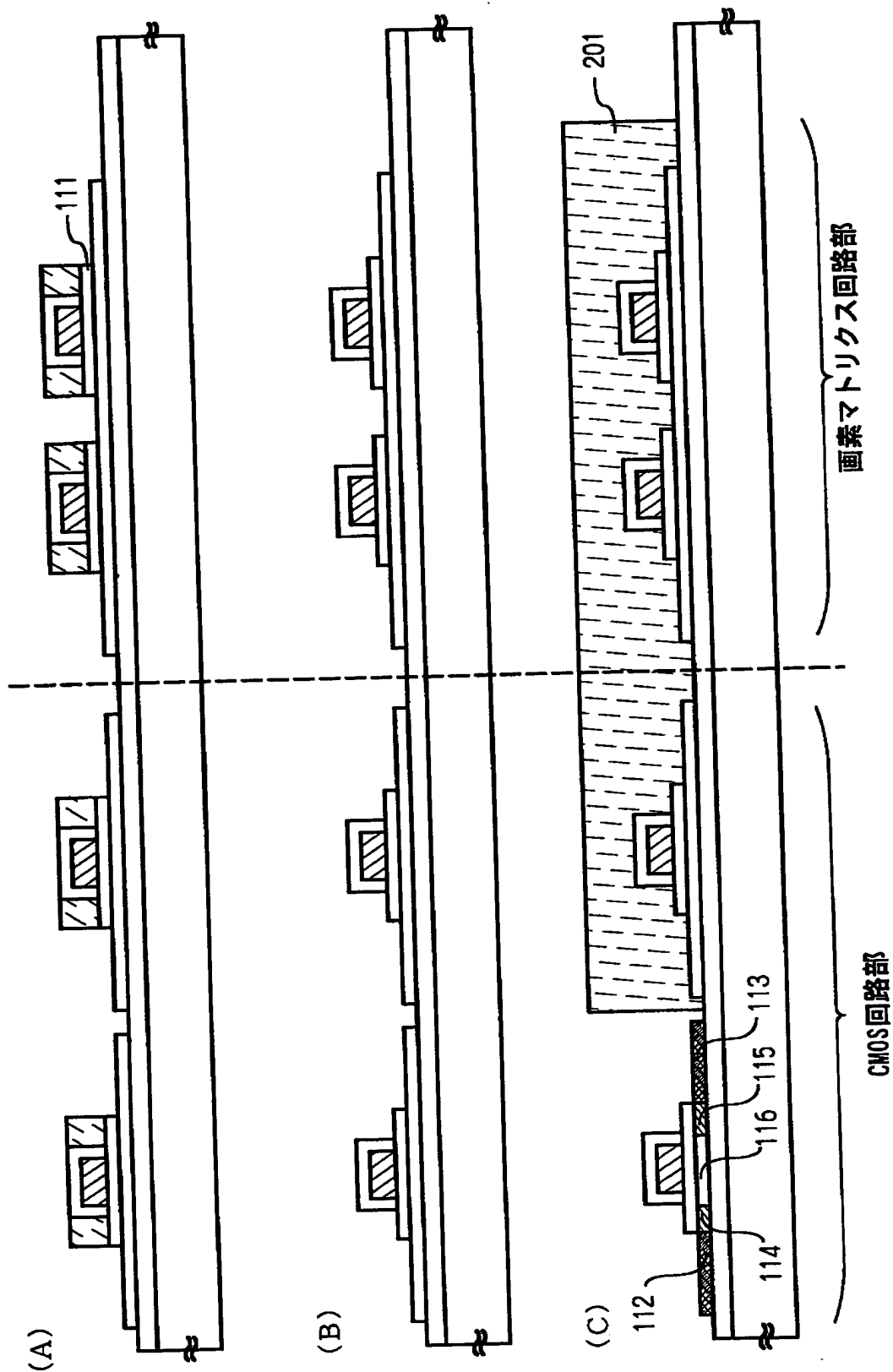
【図 2】



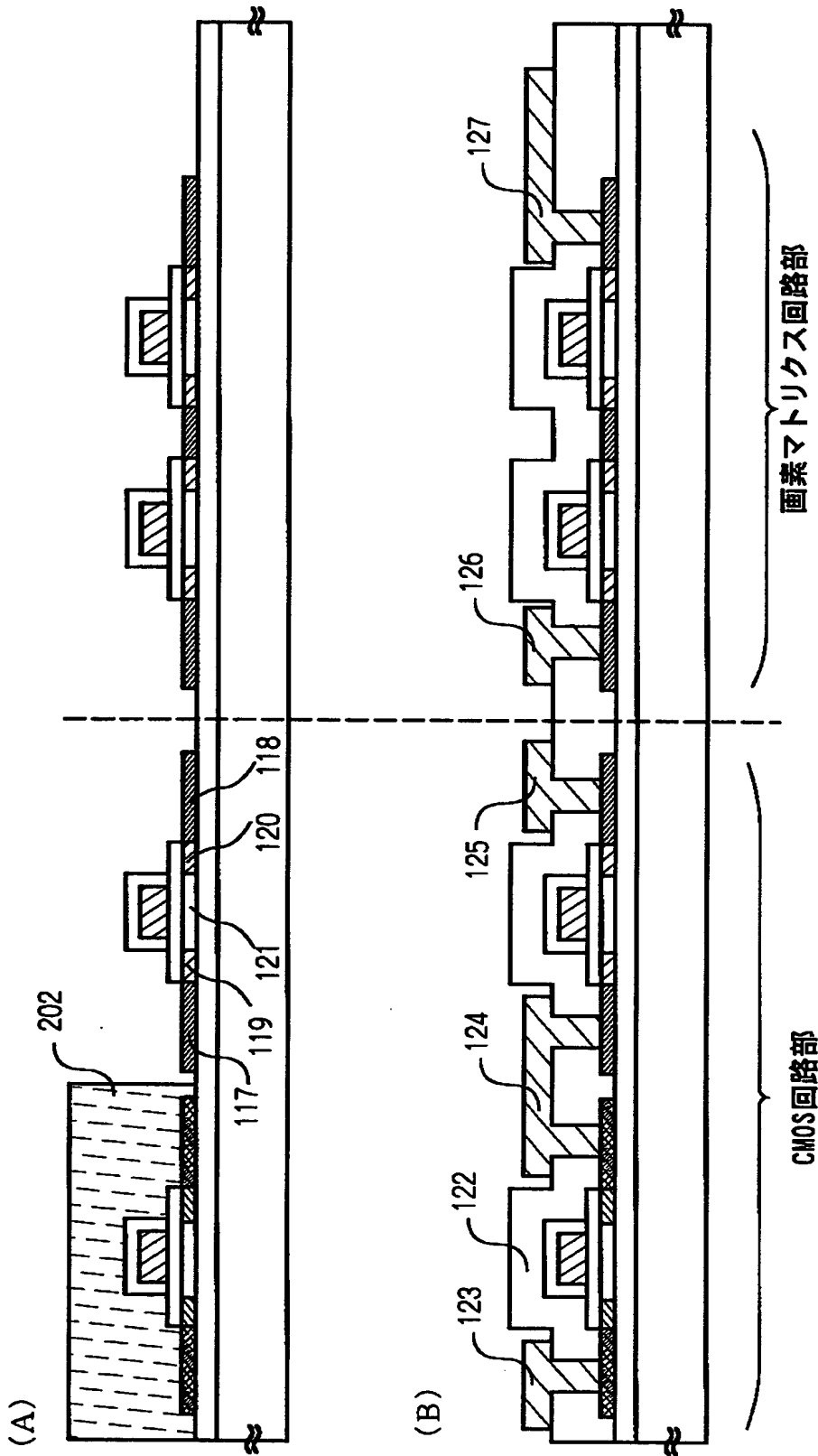
【図 3】



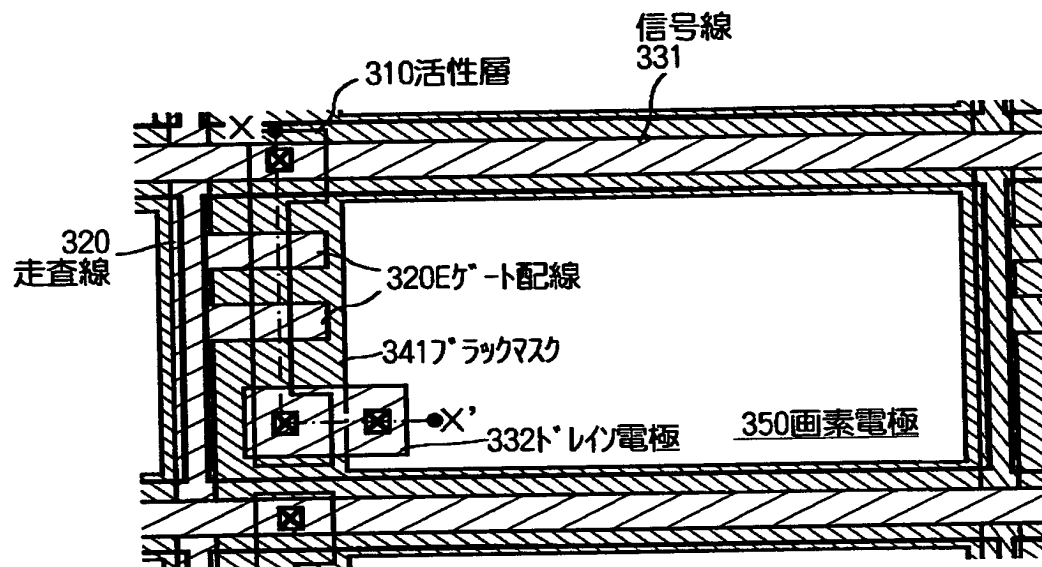
【図4】



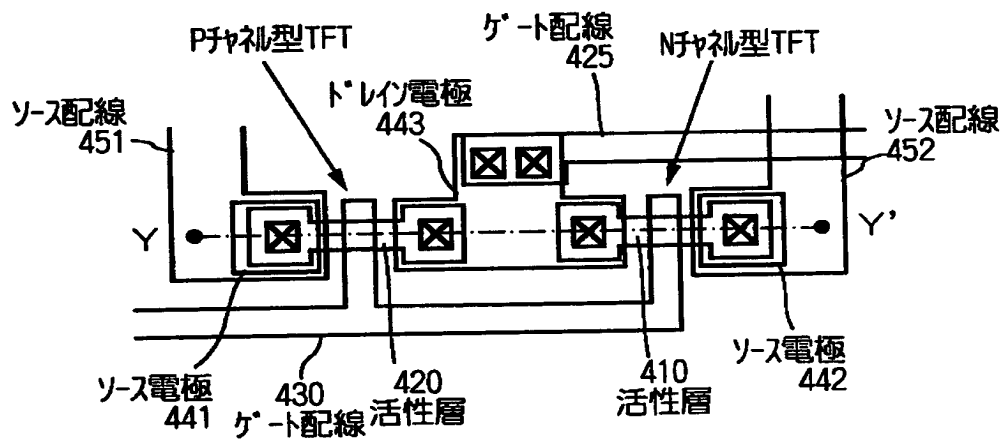
【図 5】



【図 6】

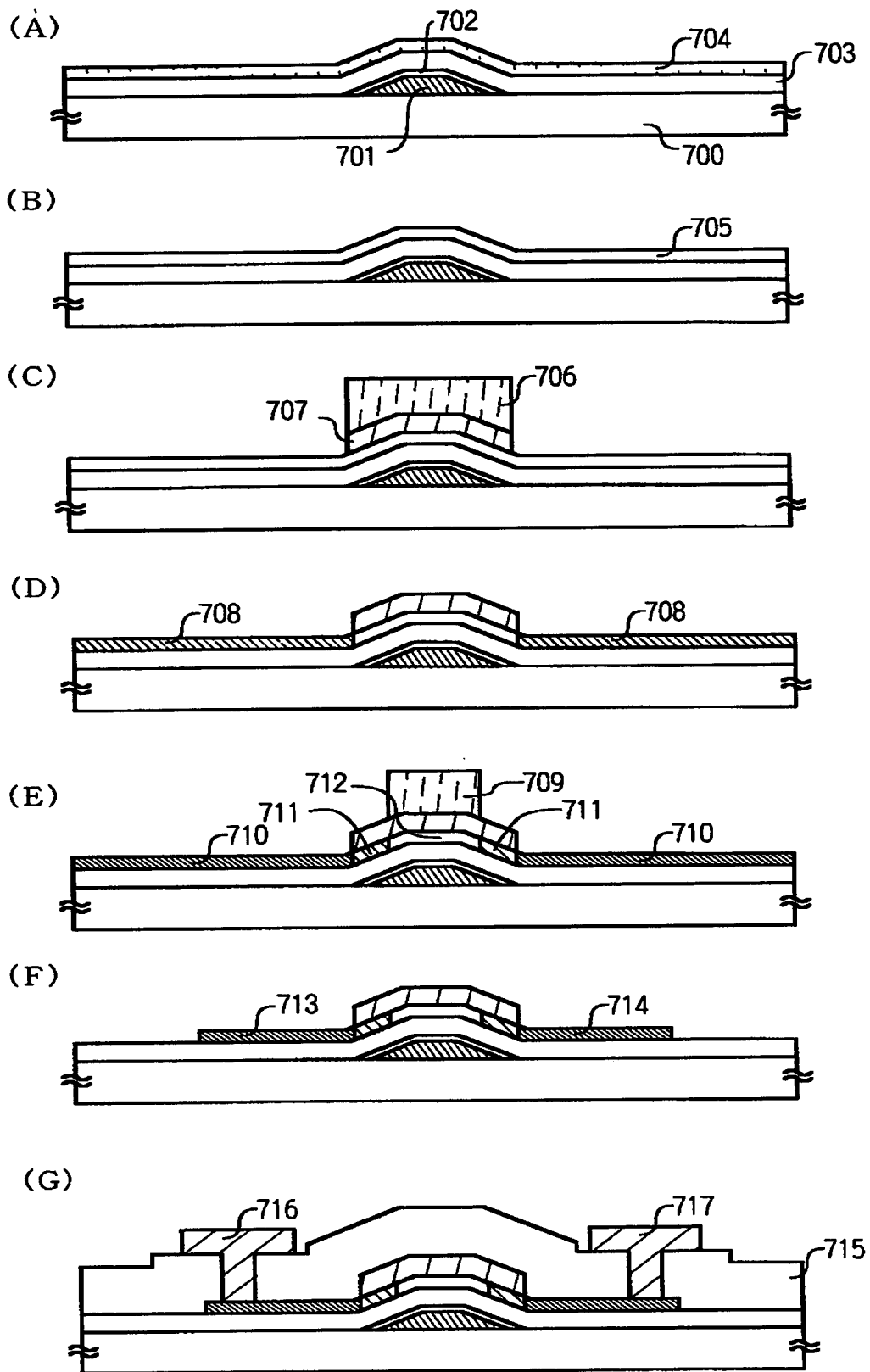


(A) 画素マトリクス回路201上面図

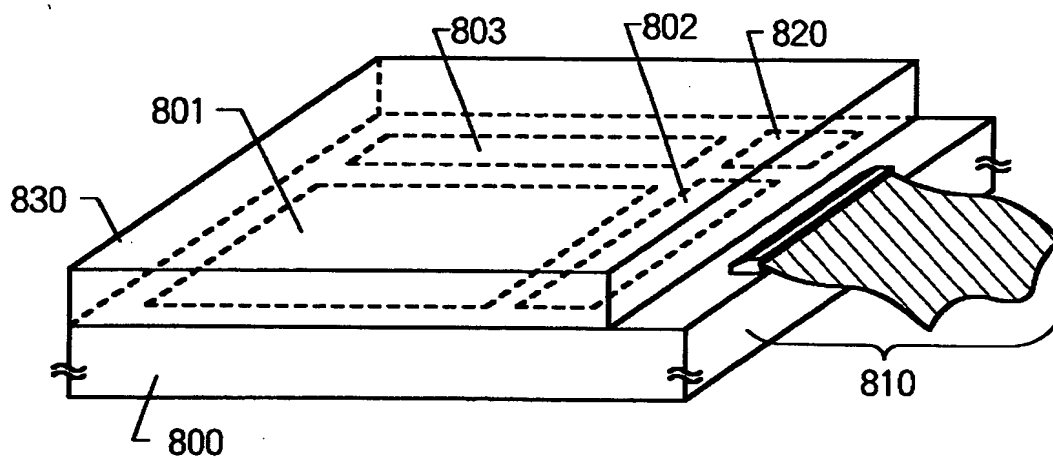


(B) CMOS回路上面図

【図 7】



【図 8】



アクティブマトリクス基板

800 : ガラス基板

801 : 画素マトリクス回路

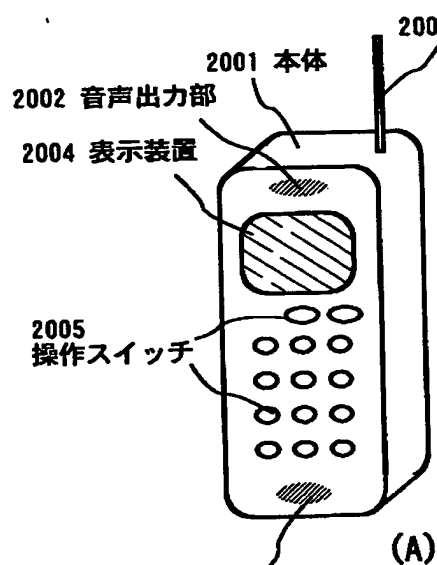
802 : 走査線駆動回路、803 : 信号線駆動回路

810 : FPC

820 : チェッカー回路

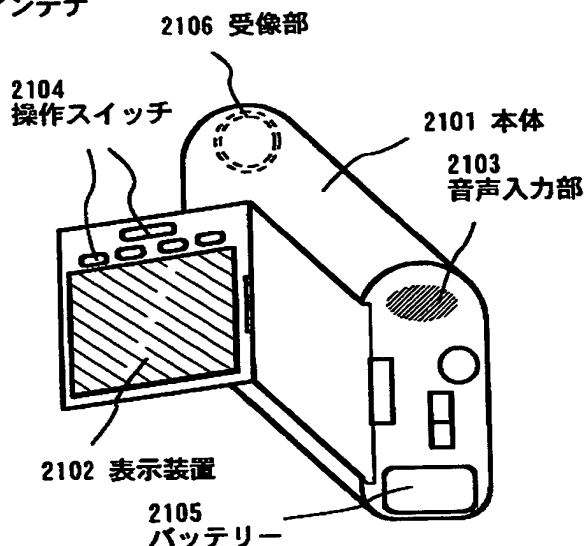
830 : 対向基板

【図 9】

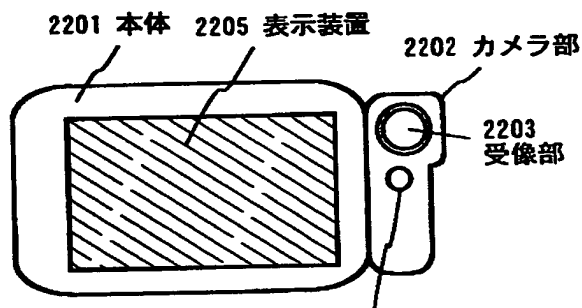


2003 音声入力部

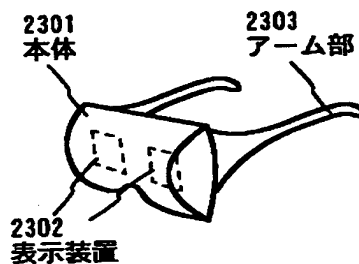
(A)



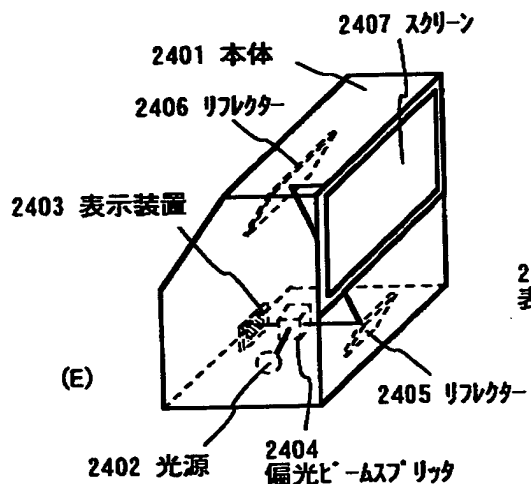
(B)



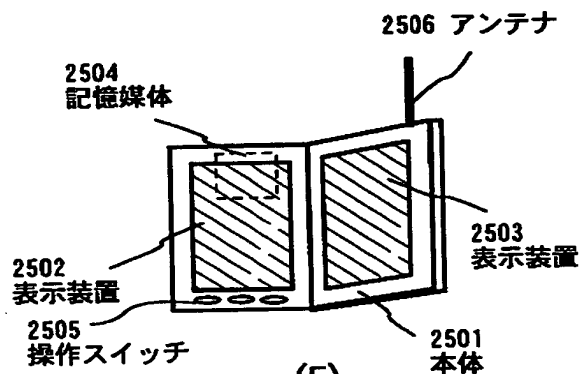
(C)



(D)



(E)



(F)

【書類名】 要約書

【要約】

【課題】 本発明は、作業環境の安全性の高いプロセスを用いて、TFTの電気特性を向上させるとともに信頼性の高い半導体素子からなる半導体回路を備えた半導体装置およびその作製方法を提供するものである。

【解決手段】 上記目的を解決するため、本発明は、絶縁表面上に半導体膜をスパッタ法により形成し、次いで結晶化を行った後、パターニングを行い所望の形状を有する活性層を形成する。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 398 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所